

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210807

(P2001-210807A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\*(参考)

H 0 1 L 27/108  
21/8242  
29/43

H 0 1 L 27/10  
29/46

6 2 1 B  
6 5 1  
R

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願2000-397147(P2000-397147)

(22) 出願日 平成12年12月27日(2000. 12. 27)

(31) 優先権主張番号 1 9 9 9 - 6 2 9 6 1

(32) 優先日 平成11年12月27日(1999. 12. 27)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市大鉢邑牙美里山136  
- 1

(72) 発明者 劉 龍 植

大韓民国京畿道城南市盆唐區蘆内洞ヤンジ  
マウルハンヤンアパートメント516-403

(72) 発明者 弘 權

大韓民国京畿道城南市盆唐區野塔洞タブマ  
ウルギョナムアパートメント713-1703

(74) 代理人 100065215

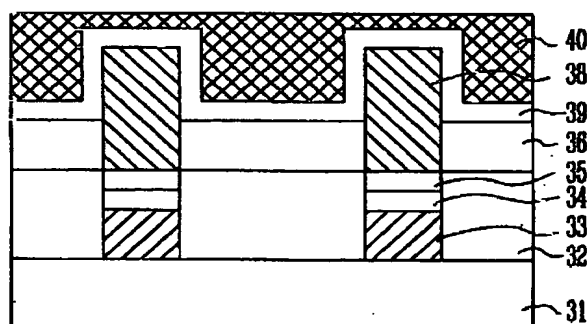
弁理士 三枝 英二 (外8名)

(54) 【発明の名称】 半導体素子のキャパシタ製造方法

(57) 【要約】

【課題】 B S Tを用いたスタックドキャパシタにおいて下部構造の有効表面積を確保し難くて、キャパシタプラグと下部電極間にミスアラインが発生するという問題を解決すること。

【解決手段】 本発明は、接着層及び拡散防止膜をプラグ用第1コンタクトホール内にプラグ形態で形成し、酸化膜を用いて第2コンタクトホールを形成し、下部電極物質を蒸着した後酸化膜を除去して下部電極を形成することにより、エッチングの容易でない下部電極のエッチング工程を省略することができ、下部電極の有効表面積を増大させることができ、金属/酸素拡散防止膜とB S T誘電体膜との直接的な接触を避けることができるため、B S T薄膜蒸着時の酸素拡散を防止することができる。キャパシタの電気的特性を改善することができるようにした半導体素子のキャパシタ製造方法を提供する。



【特許請求の範囲】

【請求項1】 下部構造の設けられた基板上に第1層間絶縁膜を形成し、キャパシタが形成されるべき部分の第1層間絶縁膜をエッチングして第1コンタクトホールを形成する段階と、

前記第1コンタクトホールを含む全体構造上にポリシリコン層を形成しエッチングする段階と、

前記ポリシリコン層上に接着層及び拡散防止膜を順次形成し、平坦化して前記第1コンタクトホールを埋め込む段階と、

前記拡散防止膜の設けられた全体構造上に第2層間絶縁膜及び $O_3$ -PSG膜を順次形成した後、前記 $O_3$ -PSG膜及び第2層間絶縁膜の選択された領域を除去して第2コンタクトホールを形成する段階と、

前記第2コンタクトホールの設けられた全体構造上に下部電極物質を堆積させ、前記 $O_3$ -PSG膜上の下部電極物質を除去した後、 $O_3$ -PSG膜を除去することにより、下部電極を完成する段階と、

前記下部電極の設けられた全体構造上に誘電体膜及び上部電極を順次形成する段階とを含んでなることを特徴とする半導体素子のキャパシタ製造方法。

【請求項2】 前記ポリシリコン層は500~5000Åの厚さに形成した後、全面エッチングして第1コンタクトホールの境界面から内側に500~3000Åまで残留するように形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項3】 前記拡散防止膜を、スパッタリングまたはCVD法でチタンアルミニウムナイトライド(TiAlN)、タンタルナイトライド(TaN)、チタンナイトライド(TiN)及びチタンシリナイトライド(TiSiN)のいずれかを200~7000Åの厚さに形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項4】 前記第2層間絶縁膜を、200~2000Åの厚さに形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項5】 前記 $O_3$ -PSG膜を、200~7000Åの厚さに形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項6】 前記下部電極を、白金、ルテニウム及びイリジウムのいずれか一つを用いて形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項7】 前記誘電体膜を、300~750℃の温度でBSTまたは $SrTiO_3$ 高誘電率薄膜を100~1000Åの厚さに蒸着して形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項8】 前記誘電体膜の形成後、300~750℃の温度条件及び窒素/酸素雰囲気中で10~240秒間急速熱処理工程を行なう段階をさらに含むことを特徴と

する請求項1記載の半導体素子のキャパシタ製造方法。

【請求項9】 前記上部電極の形成後、300~750℃の温度条件及び窒素/酸素雰囲気中で10~240秒間急速熱処理工程を行なう段階をさらに含むことを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のキャパシタ製造方法に係り、特にDRAMでのソフトエラーを防止し、安定的な動作を維持し、漏れ電流特性に優れた半導体素子のキャパシタ製造方法に関する。

【0002】

【従来の技術】半導体素子の製造技術は、トランジスタとキャパシタの性能向上のための研究が必須的である。特にDRAMにおいてソフトエラーを防止し、安定的な動作を維持するためには単位セル当たり25fF以上の静電容量が必要であり、漏れ電流も十分低くなければならない。しかし、既存の $Si_3N_4/SiO_2(NO)$ や $Ta_2O_5$ 等の誘電体は誘電率が十分でないため、ギガDRAM時代の高誘電率キャパシタとして $SrTiO_3$ と $(Ba, Sr)TiO_3$ (Barium Strontium Titanate; 以下、「BST」という)のような高誘電体の研究が活発に行なわれており、且つストレージノードに対する下部電極の研究も活発に行なわれている。

【0003】以下、かかる高誘電率 $SrTiO_3$ 及びBSTなどの高誘電率薄膜を用いた従来のキャパシタ形成方法を図1及び図2に基づいて説明する。

【0004】図1は従来の第1方法による半導体素子のキャパシタ製造方法を説明するために示した素子の断面図である。

【0005】図1に示すように、下部構造の設けられた基板11上に第1層間絶縁膜12及び第2層間絶縁膜13を順次形成する。その後、基板11とキャパシタの垂直配線のために第2及び第1層間絶縁膜13、12の選択領域をエッチングしてコンタクトホールを形成した後、ポリシリコンで埋め込み、平坦化してキャパシタプラグ14を形成する。次に、全体構造上に接着層15及び拡散防止膜16を形成し、拡散防止膜16上に下部電極物質を形成した後、下部電極物質、拡散防止膜16及び接着層15をパターニングして下部電極17を完成する。その後、全体構造上にBSTを用いた誘電体膜18及び上部電極19を形成してキャパシタ製造を完了する。

【0006】一方、このようなキャパシタ製造方法は、半導体素子のデザインルール(Design Rule)が小さくなるにつれて下部電極17の一定高さで80°以上の角度を維持しなければならないが、エッチングの難しさによって一定高さ以上使用し難いという問題点がある。さらに、誘電体膜18の形成時に下部電極側面の接着層15及び拡散防止膜16が露出されるという問題点もある。

【0007】図2は従来の第2方法による半導体素子のキャパシタ製造方法を説明するために示した素子の断面図である。

【0008】図2に示すように、下部構造の設けられた基板21上に第1層間絶縁膜22及び第2層間絶縁膜23を順次形成した後、基板11とキャパシタの垂直配線のために第2及び第1層間絶縁膜23、22の選択領域をエッチングしてコンタクトホールを形成する。その後、コンタクトホールの内部が一定深さだけ埋め込まれるようにポリシリコン層を形成し、ポリシリコン層上に接着層25及び拡散防止膜26を形成した後、平坦化する。これにより、コンタクトホールの内部はポリシリコン層によるキャパシタプラグ24、キャパシタプラグ24上に形成された接着層25及び拡散防止膜26によって埋め込まれることになる。次に、全体構造上に下部電極物質を形成し、パターニングして下部電極27を形成した後、全体構造上にBSTを用いた誘電体膜28及び上部電極を形成することにより、キャパシタ製造を完了する。

【0009】このように、従来の第2方法によるキャパシタ製造方法では、誘電体膜28の形成時に接着層25と金属/酸素拡散防止膜26が露出されることを防止するため、接着層25及び拡散防止膜26がコンタクトホールの内部にのみ位置するようにプラグ形態で形成させる試みが行なわれている。しかし、下部電極マスクとコンタクトマスク間の整列誤差を避けることができず、これにより拡散防止膜プラグが露出され、BST誘電体膜の形成後に漏れ電流特性が劣化してしまうという問題点がある。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、BSTを用いたスタックキャパシタ製造時の難点である下部電極エッチング工程を省略しながら下部電極を所望の高さに形成することができ、これにより下部電極エッチング時に発生する虞のあるキャパシタプラグと下部電極間のミスアラインを防止することができ、金属/酸素拡散防止膜と誘電体膜とが直接接触することを防止して誘電体膜形成時の酸素拡散を防止することができる半導体素子のキャパシタ製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するための本発明に係る半導体素子のキャパシタ製造方法は、下部構造の設けられた基板の上に第1層間絶縁膜を形成し、キャパシタが形成されるべき部分の第1層間絶縁膜をエッチングして第1コンタクトホールを形成する段階と、前記第1コンタクトホールを含む全体構造上にポリシリコン層を形成しエッチングする段階と、前記ポリシリコン層上に接着層及び拡散防止膜を順次形成し平坦化して前記第1コンタクトホールを埋め込む段階と、前記拡散

防止膜の設けられた全体構造上に第2層間絶縁膜及び $O_3$ -PSG膜を順次形成した後、前記 $O_3$ -PSG膜及び第2層間絶縁膜の選択領域を除去して第2コンタクトホールを形成する段階と、前記第2コンタクトホールの設けられた全体構造上に下部電極物質を形成し、前記 $O_3$ -PSG膜上の下部電極物質を除去した後、 $O_3$ -PSG膜を除去することにより、下部電極を完成する段階と、前記下部電極の設けられた全体構造上に誘電体膜及び上部電極を順次形成する段階とを含んでなることを特徴とする。

【0012】

【発明の実施の形態】以下、添付図に基づいて本発明の実施例を詳細に説明する。

【0013】図3a乃至図3gは本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

【0014】図4に示すように、下部構造（ウェル、素子分離膜、トランジスタなど第1層間絶縁膜を形成する前までに半導体基板に形成される全ての構成要素）の設けられた基板31上に第1層間絶縁膜32を形成し、キャパシタが形成されるべき部分の第1層間絶縁膜32に基板31とキャパシタの垂直配線のための第1コンタクトホールを形成する。その後、図5に示すように、ポリシリコン層33を形成し、全面エッチングする。例えば、ポリシリコン層を第1層間絶縁膜の上部が露出されるまで研磨した後、ポリシリコンエッチング剤を用いてエッチングする方法や、ポリシリコンエッチング剤を使用する全面エッチ(blanket etch)で第1層間絶縁膜の上部が露出されるまでエッチングした後、オーバーエッチングを適用する方法などにより、図3aの状態となる。ここで、ポリシリコン層33は500～5000Åの厚さに形成した後、全面エッチングして第1コンタクトホールの境界面41から内側に500～3000Å（図3aにおいて、符号33aで示される厚み）まで残留するようにするか、選択的ポリシリコンを所望の高さまで蒸着する。

【0015】図3bに示すように、ポリシリコン層33上に接着層34を形成する。接着層は全体構造上に接着層34の厚さとするために必要なチタンまたはタンタルを蒸着した後、素子にオーミック特性を持たせるために熱処理してチタンシリサイド膜またはタンタルシリサイド膜を形成した後、第1層間絶縁膜32部分の未反応チタンまたは未反応タンタルを除去することにより形成される。ここで、チタンまたはタンタルはスパッタリングまたはCVD法を用いて200～2000Åの厚さに形成し、熱処理工程は急速熱窒化処理(Rapid Thermal Nitridation; RTN)で550～950℃の温度で30～120秒間実施する。

【0016】図3cに示すように、全体構造上に拡散防止膜35を形成し平坦化した後、全体構造上に第2層間

絶縁膜36及び $O_3$ -PSG膜37を順次形成する。ここで、拡散防止膜35はスパッタリングまたはCVD法でチタンアルミニウムナイトライド(TiAlN)、タンタルナイトライド(TaN)、チタンナイトライド(TiN)及びチタンシリナイトライド(TiSiN)のいずれか一つを200~7000Åの厚さに蒸着して形成し、平坦化工程は化学的機械的研磨(CMP)工程を用いて実施する。また、第2層間絶縁膜36は200~2000Åの厚さに形成し、 $O_3$ -PSG膜37は200~7000Åの厚さに形成する。

【0017】図3dに示すように、マスクを用いたフォトリソグラフィ及びエッチング工程によって、キャパシタが形成されるべき部分の $O_3$ -PSG膜37及び第2層間絶縁膜36を除去して第2コンタクトホールを形成する。なお、本明細書において、“選択された領域”は、マスクによって選択された領域を意味する。

【0018】図3eに示すように、第2コンタクトホールの設けられた全体構造上に下部電極物質を堆積させ、 $O_3$ -PSG膜37上の下部電極物質を除去した後、 $O_3$ -PSG膜37を除去することにより、下部電極38が完成される。ここで、下部電極物質としては白金(Pt)、ルテニウム(Ru)及びイリジウム(Ir)のいずれか一つを用いて形成する。特に、白金(Pt)を用いる場合には $MeCpPtMe_3$  (Methylcyclopentadienyltrimethylplatinum);  $[(CH_3)_3(CH_3C_5H_4)Pt]$  反応原料、 $(EtCp)PtEt_3$  (Ethyl-Cyclopentadienyl-Pt-Triethyl);  $[(C_2H_5C_5H_4)_2Pt(C_2H_5)_3]$  反応原料、または $(EtCp)PtMe_3$  (Ethyl-Cyclopentadienyl-Pt-Trimethyl);  $[(C_2H_5C_5H_4)_2Pt(CH_3)_3]$  反応原料を用いて250~550℃の温度条件、0.1~5 Torr (13.3~665 Pa) の圧力条件、Ar、 $O_2$ 、 $H_2$ を0~500 sccmに供給する条件でCVD法によって100~2000Åの厚さに蒸着して形成する。また、ルテニウム(Ru)を用いる場合には $Ru(EtCp)_2$  (BisEthyl-Cyclopentadienyl-Ru;  $Ru(C_2H_5C_5H_4)_2$ )または $Ru(DPM)_3$  (Ru-tridipivaloylmethane;  $Ru(C_{11}H_{19}O_2)_3$ )またはR-3 (Tris(2,4-Octanedione)-Ru;  $Ru(C_8H_{13}O_2)_3$ )を反応原料として使用する。そして、 $O_3$ -PSG膜37上の下部電極物質を除去するときには全面エッチングまたはCMP法を使用する。

【0019】図3fに示すように、下部電極28の設けられた全体構造上に誘電体膜39を形成し、図3gに示すように、誘電体膜39上に上部電極40を形成してキャパシタの製造を完了する。

【0020】ここで、誘電体膜39は300~750℃の温度でBSTまたはSRTi $O_3$ 高誘電率薄膜を100~1000Åの厚さに蒸着して形成するか、300~550℃の温度でBSTを100~1000Åの厚さに蒸着し、後続の熱工程を行なった後、300~750℃の温度でBSTを100~1000Åの厚さに蒸着して二重膜で形成する。また、上部電極40はCVD法によ

って500~2000Åの厚さに白金(Pt)、二酸化ルテニウム( $RuO_2$ )及び二酸化イリジウム( $IrO_2$ )のいずれか一つを蒸着した後、基板全体を熱処理によって300~750℃の温度条件及び窒素雰囲気下で10~60分間熱処理することにより形成する。そして、誘電体膜39及び上部電極40を形成した後は後続の熱処理工程としてそれぞれ300~750℃の温度条件及び窒素/酸素雰囲気下で10~240秒間急速熱処理RTPを行う。

【0021】以上説明したキャパシタ製造方法は、スタックドキャパシタの特性を改善するために下部構造を形成し、第1コンタクトホールを形成した後、ポリシリコン層を形成し、第1コンタクトホール内に接着層を形成した後拡散防止層を形成する。その後、第2コンタクトホールを形成し、下部電極を蒸着した後絶縁膜を除去してスタック構造の下部電極を形成する。そして、BSTのような高誘電率薄膜と上部電極を形成することにより、キャパシタの製造を完成する。このような方法によるスタックドキャパシタ製造の際にエッチングの容易でない下部電極のエッチング工程を省略することができ、下部電極を所望の高さだけ形成してキャパシタストレージノードの有効表面積を増大させることができ、下部電極のエッチング時に発生する虞のあるキャパシタプラグ(即ち、ポリシリコン層)と下部電極間のミスアライン(Misalign)を防止することができ、金属/酸素拡散防止膜とBST誘電体膜との直接的な接触を避けることができるため、BST薄膜蒸着時の酸素拡散を防止することができ、キャパシタの電気的特性を改善することができる。

#### 【0022】

【発明の効果】上述したように、本発明は、接着層及び拡散防止膜をプラグ用第1コンタクトホール内にプラグ形態で形成し、酸化膜を用いて第2コンタクトホールを形成し、下部電極物質を蒸着した後酸化膜を除去して下部電極を形成することにより、エッチングの容易でない下部電極のエッチング工程を省略することができ、下部電極の有効表面積を増大させることができ、下部電極のエッチング時に発生する虞のあるキャパシタプラグと下部電極間のミスアラインを防止することができ、金属/酸素拡散防止膜とBST誘電体膜との直接的な接触を避けることができるため、BST薄膜蒸着時の酸素拡散を防止することができ、キャパシタの電気的特性を改善することができる効果を奏する。

#### 【図面の簡単な説明】

【図1】従来の第1方法による半導体素子のキャパシタ製造方法を説明するために示した素子の断面図である。

【図2】従来の第2方法による半導体素子のキャパシタ製造方法を説明するために示した素子の断面図である。

【図3a】図3aは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図

の一つである。

【図3 b】図3 bは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図3 c】図3 cは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図3 d】図3 dは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図3 e】図3 eは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図3 f】図3 fは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図3 g】図3 gは、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つである。

【図4】図4は、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図の一つであり、図5に続く。

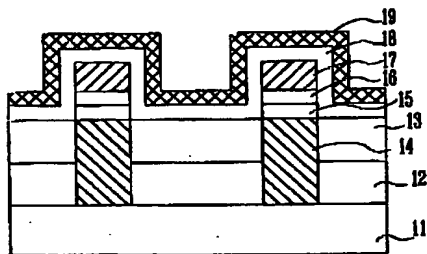
【図5】図4より続く図5は、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子

の断面図の一つであり、図3 aに続く。

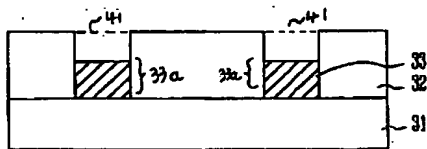
【符号の説明】

- |        |                      |
|--------|----------------------|
| 11, 21 | 基板                   |
| 12, 22 | 第1層間絶縁膜              |
| 13, 23 | 第2層間絶縁膜              |
| 14, 24 | キャパシタプラグ（ポリシリコン層）    |
| 15, 25 | 接着層                  |
| 16, 26 | 拡散防止膜                |
| 17, 27 | 下部電極                 |
| 18, 28 | 誘電体膜                 |
| 19, 29 | 上部電極                 |
| 31     | 基板                   |
| 32     | 第1層間絶縁膜              |
| 33     | ポリシリコン層（キャパシタプラグ）    |
| 33a    | ポリシリコン層の厚み           |
| 34     | 接着層                  |
| 35     | 拡散防止膜                |
| 36     | 第2層間絶縁膜              |
| 37     | O <sub>3</sub> -PSG膜 |
| 38     | 下部電極                 |
| 39     | 誘電体膜                 |
| 40     | 上部電極                 |
| 41     | 第1コンタクトホール境界面        |

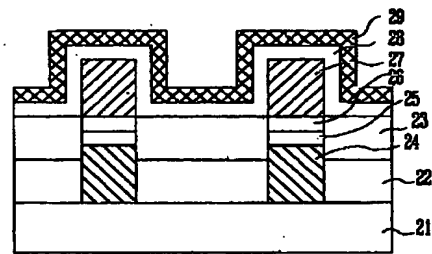
【図1】



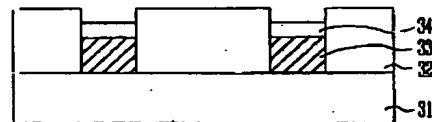
【図3 a】



【図2】



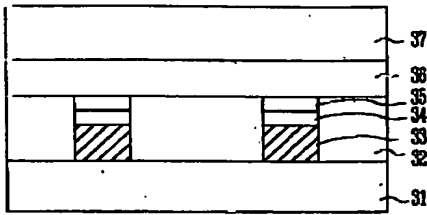
【図3 b】



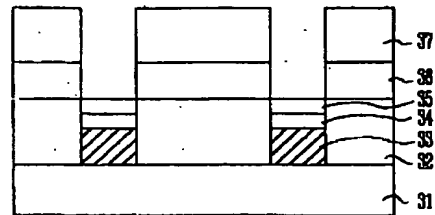
【図4】



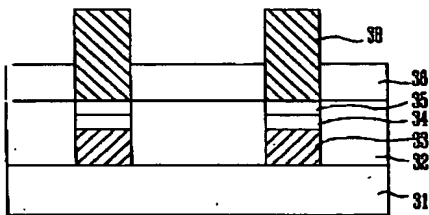
【図3c】



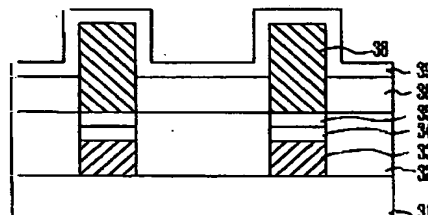
【図3d】



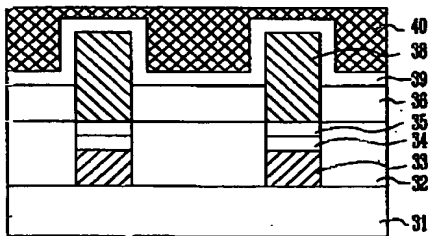
【図3e】



【図3f】



【図3g】



【図5】

